**МИНОБРНАУКИ РОССИИ**

**САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ**

**ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ**

**«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)**

**Кафедра ВТ**

**КУРСОВАЯ РАБОТА**

**по дисциплине «Элементная база цифровых систем»**

**Тема**: **Преобразователь параллельного кода в последовательный для асинхронного протокола передач**

**Вариант №7.3**

| Студент |  |  |
| --- | --- | --- |
| Преподаватель |  | Ельчанинов М.Н. |

Санкт-Петербург

2024

**Оглавление**

[1. Задание на проектирования узла 3](#_zapmgblrvbgr)

[2. Описание предлагаемых вариантов реализации узла 3](#_hnfbtmt44t4v)

[2.1. Схема на основе параллельно-последовательного регистра 4](#_clb8h63da3rt)

[2.2. Схема на основе параллельного регистра и мультиплексора 6](#_1wvmry5q76of)

[3. Описание основных элементов библиотеки САПР Quartus II и стандартных микросхем, необходимых для реализации вариантов узла 7](#_gauopuft81t)

[4. Описание процесса синтеза и моделирования работы предложенных вариантов средствами САПР Quartus II при графическом вводе проектов и полученных при этом результатов 8](#_tqg2s7gbr269)

[4.1. Синтез и моделирование узла на основе параллельно- последовательного регистра 8](#_tqg2s7gbr269)

[4.2. Синтез и моделирование узла на основе параллельного регистра и мультиплексора 12](#_kfjal5aablo3)

[4.3. Выбор оптимальной схемы 16](#_2f17k7io0g2q)

[5. Разработка интерфейса сопряжения схемы узла с процессорной системой, для которой проектируемый узел является внешним устройством 16](#_62epfe28gvf6)

[6. Подробное описание функционирования узла с использованием необходимых временных диаграмм 17](#_weegjsnvnwon)

[7. Принципиальная электрическая схема типового элемента замены и перечень элементов 18](#_9t98ssqr0mk6)

[8. Краткое заключение по проделанной работе 21](#_k9hgujlimhs2)

[9. Список использованных источников 21](#_6dj57963porh)

# Задание на проектирования узла

Разработать узел преобразующий параллельный код в последовательный с добавлением к нему старт-бита, стоп-бита и бита паритета.

Таблица 1. Вариант задания

| **Вариант** | **Разрядность входного кода, бит** | **Скорости передачи, Кбит/с** | **Область АП** |
| --- | --- | --- | --- |
| 7.3 | 12 | 1.2; 2.4; 4.8 | 85h |

Предусмотреть возможность передачи последовательного кода со скоростями, указанными в вариантах задания. Входной параллельный код, код выбора скорости передачи и сигнал пуска передаются из управляющего устройства (процессора). Критерий выбора варианта реализации схемы — минимум аппаратных затрат.

# Описание предлагаемых вариантов реализации узла

На вход узла подается сигнал “load”, происходит параллельная загрузка кода. Далее на вход узла подаются сигналы “start” и “speed” для начала работы узла и для выбора режима скорости соответственно, затем начинает выполняться пересылка последовательного кода, полученного из параллельного. Сигнал “stop” запускает остановку передачи. Сигнал “reset” приводит к принудительному сбросу устройства в начальное состояние. Сигнал “c” приходит от генератора тактовых импульсов. Выбранная скорость загрузки находится на шине данных.

Выходной сигнал “serial\_code” представляет собой выходной последовательный код. Выходной сигнал “ready” устанавливается в высокий логический уровень после того, как разрабатываемый узел передаст все входящие параллельные разряды в последовательном коде из выхода регистра.

Всего использовано 4 адреса:

85h – “load”, адрес регистра загрузки кода;

86h – “speed”, адрес регистра загрузки скорости;

87h – отдельный адрес, пропускающий сигналы “start” и “ready”;

88h – отдельный адрес, пропускающий сигналы “stop” и “reset”.

Таблица 2. Служебные биты

| x[1] | x[0] | Режим работы узла, Кбит/с |
| --- | --- | --- |
| 0 | 0 | 1,2 |
| 0 | 1 | 2,4 |
| 1 | 0 | 4,8 |

# 

# 2.1. Схема на основе параллельно-последовательного регистра

При поступлении сигнала “load” соответствующие биты данных загружаются и сохраняются в сдвиговом регистре. После поступления всех битов данных вычисляется бит паритета, сохраняющийся в том же регистре. Старт-бит и стоп-бит также записываются в указанный регистр.

При поступлении сигнала “start” схема считывает код скорости и начинает передачу данных посредством сдвига с заполнением 1 в регистре на

выход схемы с заданной скоростью.

При приостановке выдачи сигнала на сдвигающий регистр перестаёт поступать тактовый сигнал, что останавливает сдвиг с сохранением текущего положения битов в регистре. Сигнал “reset” принудительно переводит все компоненты схемы в начальное состояние.

Сдвиг производится заданное количество тактов. Счётчик тактов также приостанавливает свое действие при подаче сигнала “stop” и сбрасывается в начальное состояние при подаче сигнала “reset”.

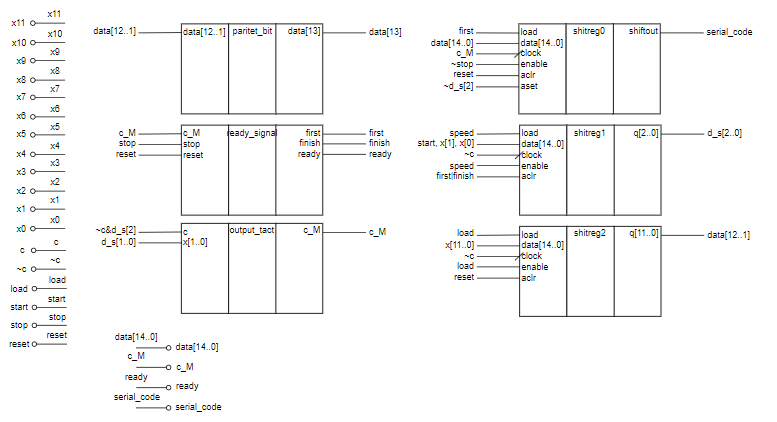


Рисунок 1 – Функциональная схема узла на основе параллельно-последовательного регистра

# 2.2. Схема на основе параллельного регистра и мультиплексора

Отличие данной схемы на основе параллельного регистра и мультиплексора от первой схемы на основе параллельно-последовательного регистра заключается в том, что биты данных сохраняются в параллельном регистре, а передаются на выход через мультиплексор.

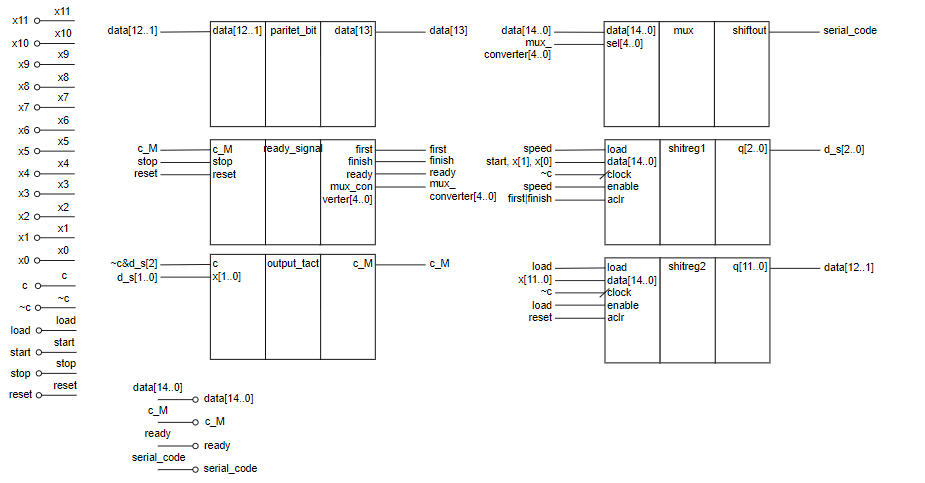


Рисунок 2 – Функциональная схема узла на основе параллельного регистра и мультиплексора

# Описание основных элементов библиотеки САПР Quartus II и стандартных микросхем, необходимых для реализации вариантов узла

Для реализации узла в САПР «QUARTUS II», помимо логических элементов (примитивов) используются основные элементы библиотеки.

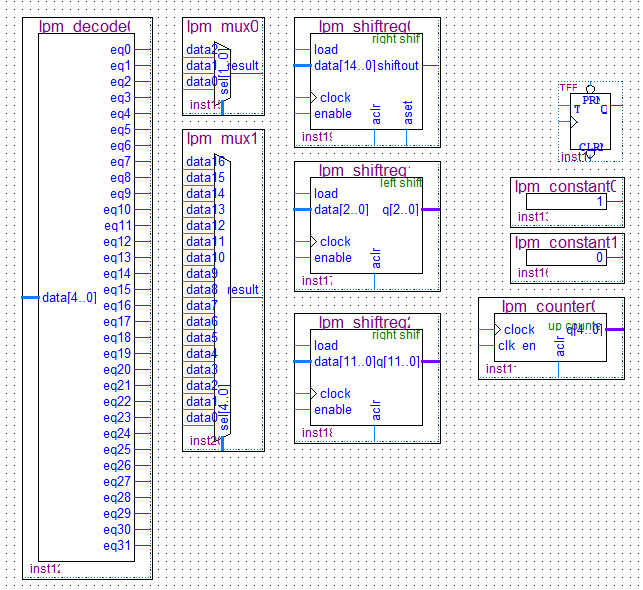


Рисунок 3 – Элементы

* TFF-триггер используется для формирования тактовой частоты.
* Мегафункции lpm\_mux0 и lmp\_mux\_1 используются для выбора скорости выдачи сигнала и для реализации передачи заданного параллельного кода последовательно соответветственно.
* Мегафункция lpm\_counter0 используется для понижения частоты тактового сигнала.
* Мегафункции lpm\_constant0 и lpm\_constant1 используются для формирования констант, логической 1 и логического 0 соответственно.
* Мегафункции lpm\_shiftreg0, lpm\_shiftreg1 и lpm\_shiftreg2 используются для сдвигового регистра, для регистра выбора скорости и для параллельного регистра соответственно.

# Описание процесса синтеза и моделирования работы предложенных вариантов средствами САПР Quartus II при графическом вводе проектов и полученных при этом результатов

# 4.1. Синтез и моделирование узла на основе параллельно- последовательного регистра

Основываясь на схеме и примитивах, описанных в предыдущем разделе, был синтезирован узел в САПР Quartus II.

Реализация узла на основе параллельно-последовательного регистра в САПР Quartus II представлена далее.

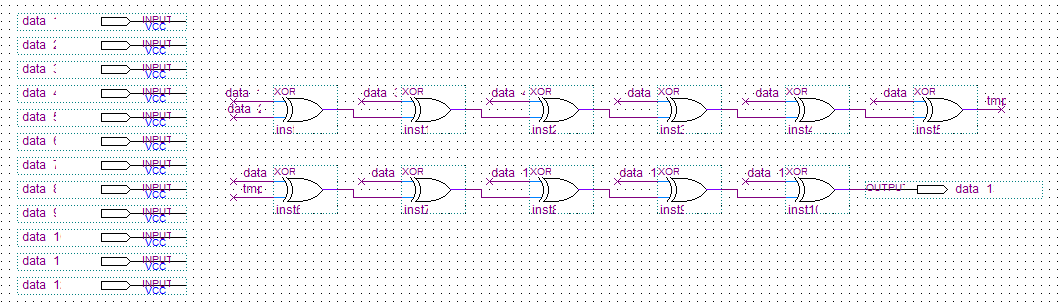


Рисунок 4 – Схема paritet\_bit на основе параллельно-последовательного регистра

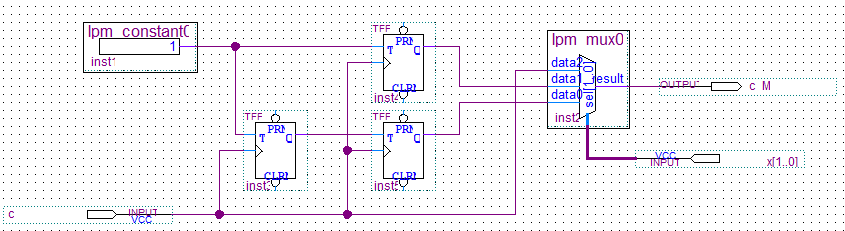


Рисунок 5 – Схема output\_tact на основе параллельно-последовательного регистра

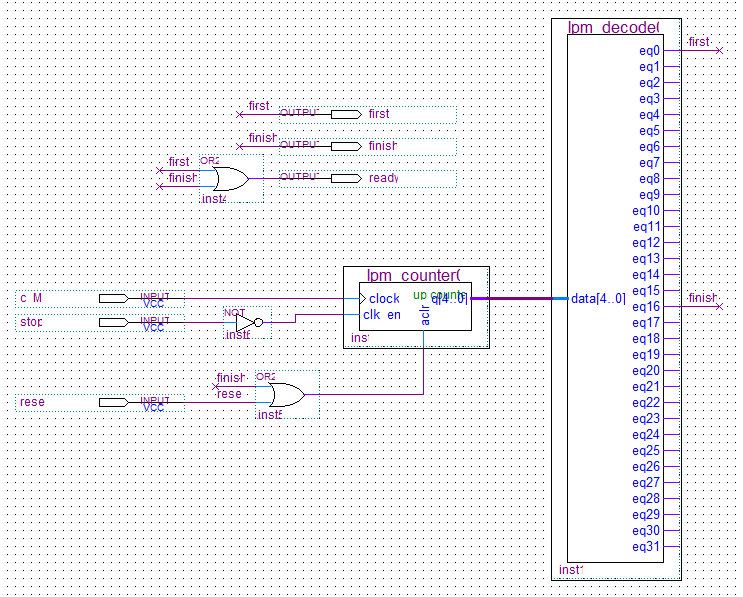


Рисунок 6 – Схема ready\_signal на основе параллельно-последовательного регистра

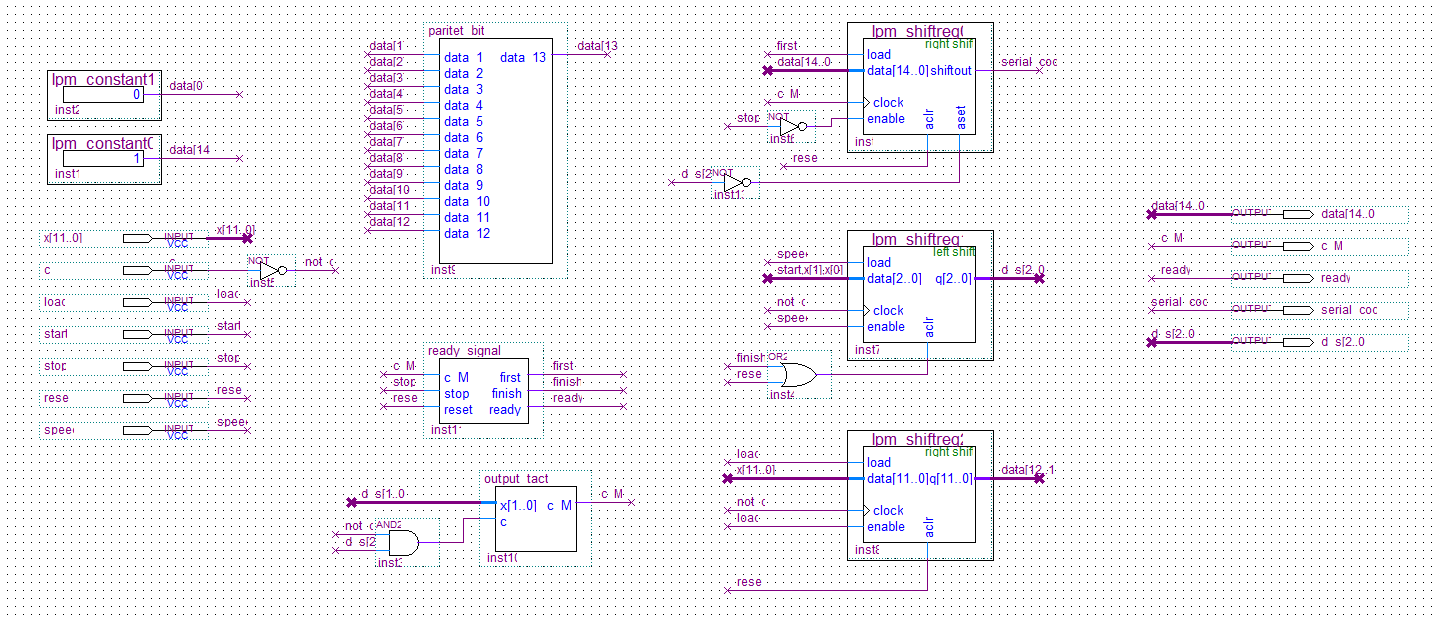


Рисунок 7 – Схема на основе параллельно-последовательного регистра

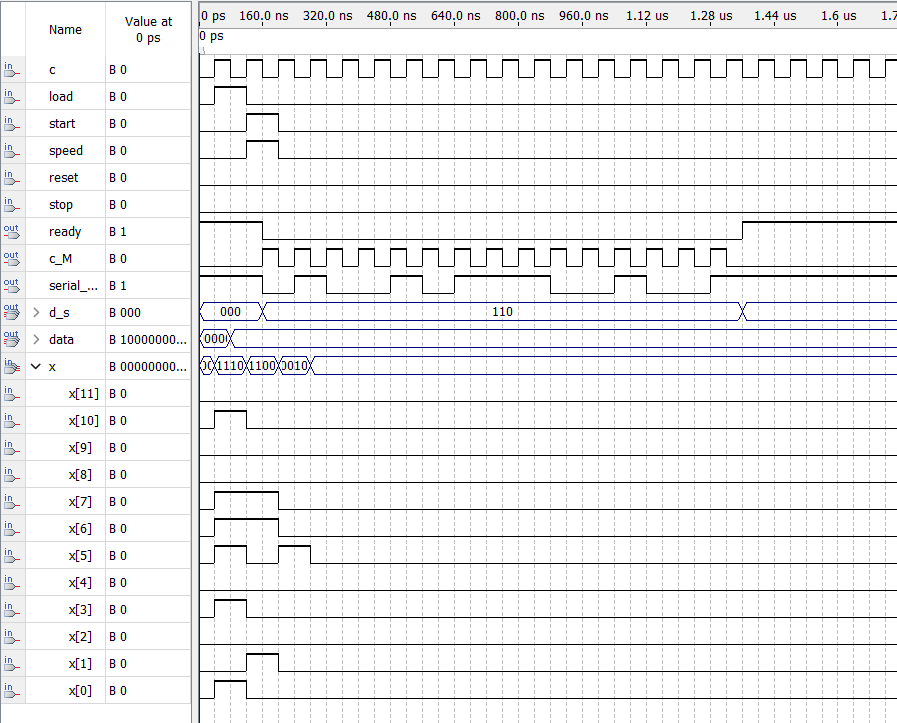


Рисунок 8 – Функциональная диаграмма узла на основе параллельно-последовательного регистра

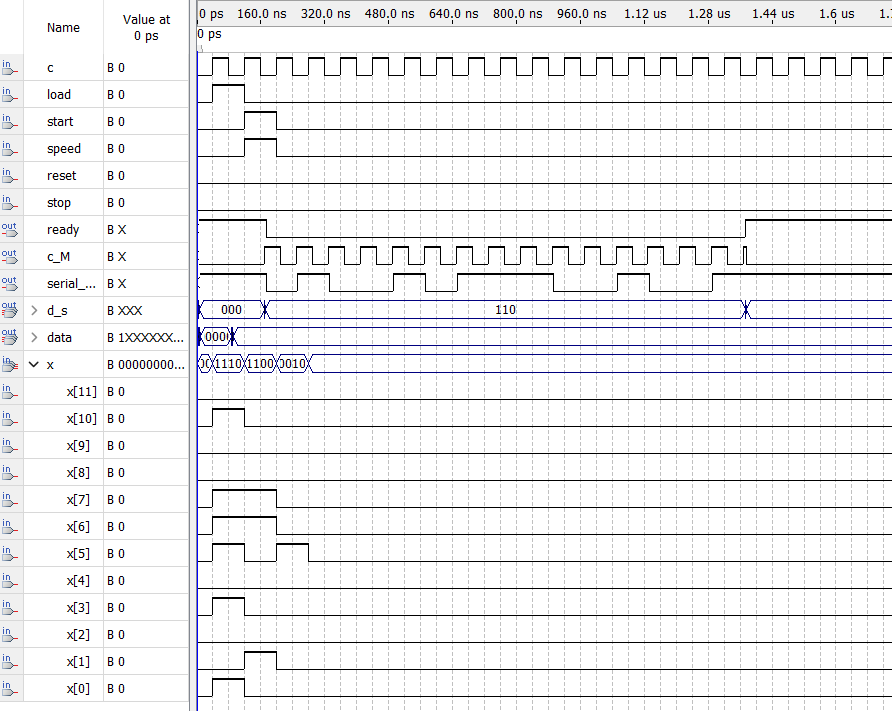


Рисунок 9 – Временная диаграмма узла на основе параллельно-последовательного регистра

# 4.2. Синтез и моделирование узла на основе параллельного регистра и мультиплексора

Основываясь на схеме и примитивах, описанных в предыдущем разделе, был синтезирован узел в САПР Quartus II.

Реализация узла на основе мультиплексора регистра в САПР Quartus II представлена далее.

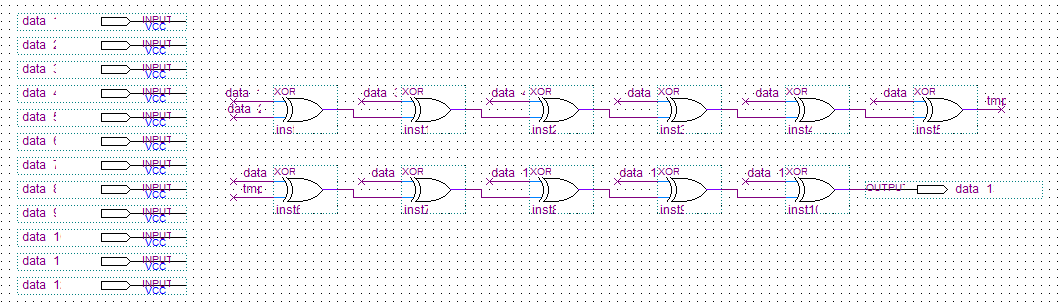


Рисунок 10 – Схема paritet\_bit на основе параллельного регистра и мультиплексора

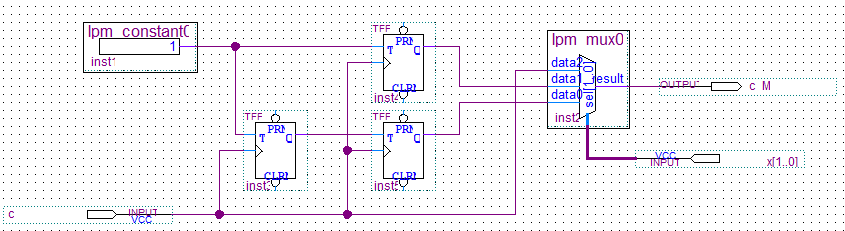


Рисунок 11 – Схема output\_tact на основе параллельного регистра и мультиплексора

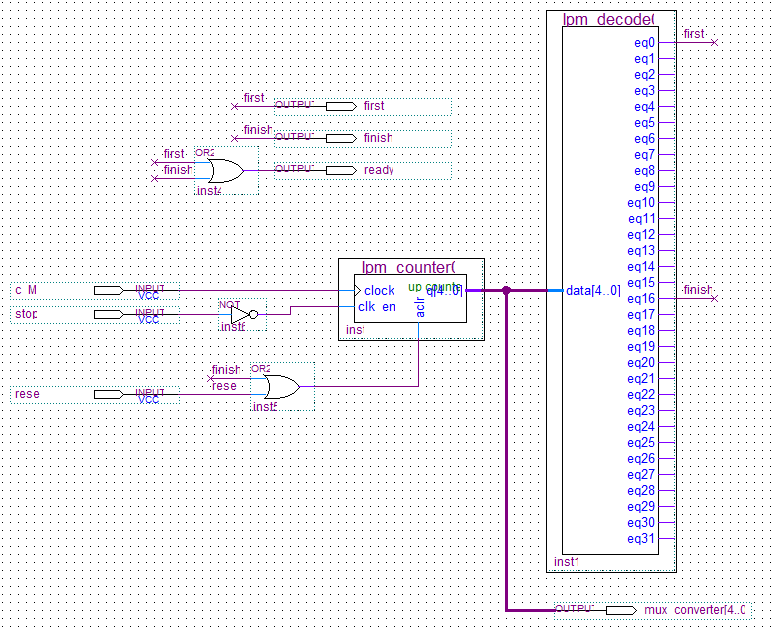


Рисунок 12 – Схема ready\_signal на основе параллельного регистра и мультиплексора

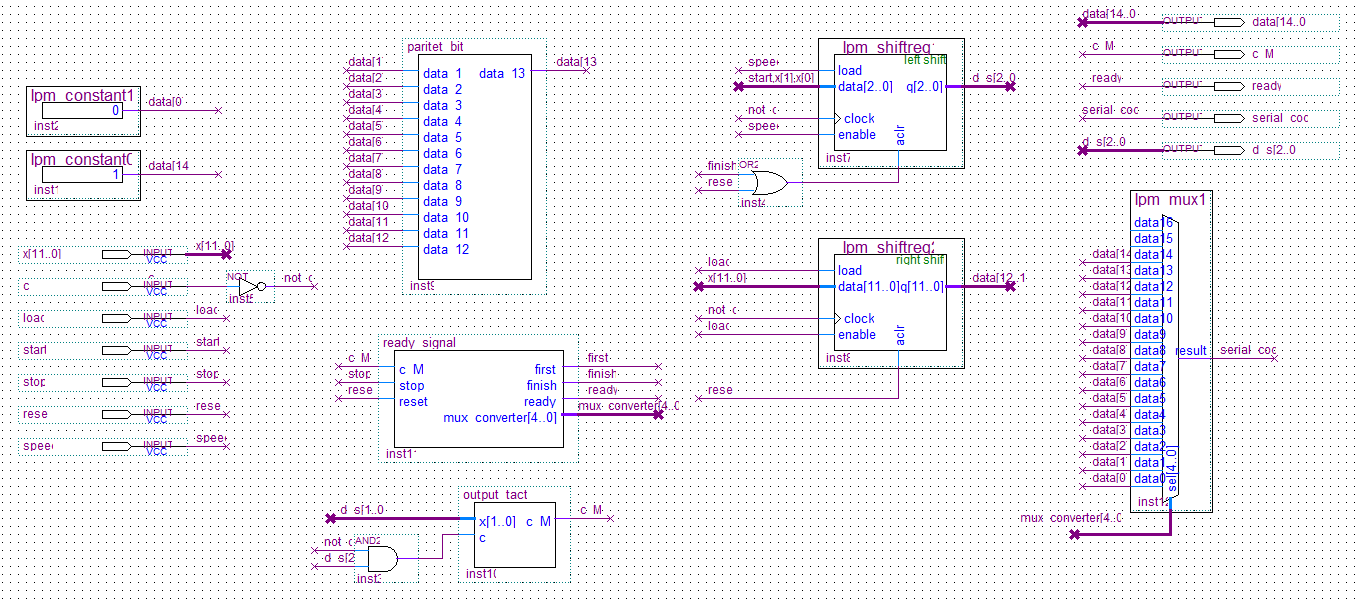


Рисунок 13 – Схема на основе параллельного регистра и мультиплексора

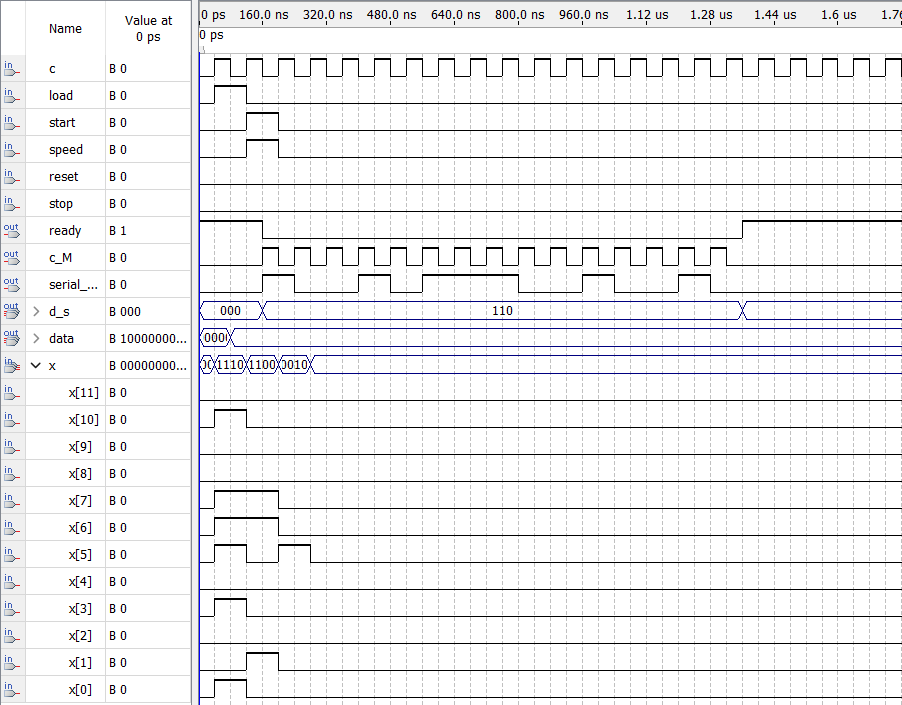


Рисунок 14 – Функциональная диаграмма узла на основе параллельного регистра и мультиплексора

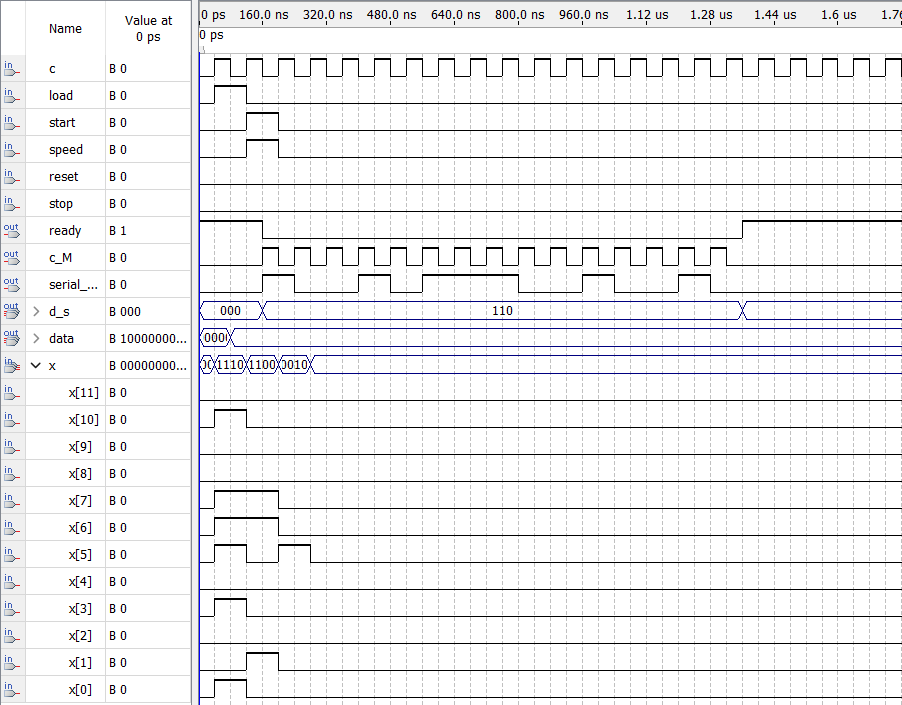


Рисунок 15 – Временная диаграмма узла на основе параллельного регистра и мультиплексора

# 4.3. Выбор оптимальной схемы

Рассмотрев два варианта реализации схемы, можно сделать вывод, что реализация узла на мультиплексоре и параллельном регистре будет более оптимальной, так как данная схема включает в себя использование меньшего количества элементов по сравнению со схемой на параллельно-последовательном регистре, следовательно, включает в себя минимум аппаратных затрат.

В первой реализации схемы на параллельно-последовательном регистре присутствуют два дополнительных инвертора, а также дополнительные подводки сигналов, что заметно увеличивает аппаратные затраты. Несмотря на то, что в реализации на основе мультиплексора и параллельного регистра сделан дополнительный вывод на схеме «ready\_signal», аппаратные затраты это практически не меняет.

# Разработка интерфейса сопряжения схемы узла с процессорной системой, для которой проектируемый узел является внешним устройством

Сопряжение узла с процессорной системой происходит посредством шины Microbus. Для работы устройства используются следующие сигналы шины:

«IOR» – сигнал чтения ПС статуса устройства с шины данных;

«IOW» – сигнал подачи ПС очередной команды на шину данных;

«reset» – сигнал сброса устройства в исходное состояние;

«ready» – сигнал, передаваемый на шину устройством при готовности к обмену данными с ПС.

Шина данных используется для передачи устройству сигнала старта, остановки, сброса, также для загрузки параллельного кода и кода выбора скорости передачи. Адреса регистра загрузки – 85h и 86h. Адрес для команд «start» и «ready» – 87h, адрес для команд «stop» и «reset» – 88h.

Разрешение на запись данных в регистр или триггеры производится с помощью логической схемы управляющего устройства. На узел подается тактирующая последовательность с внешнего генератора. Выходной сигнал узла «serial\_code» подаётся на выход устройства.

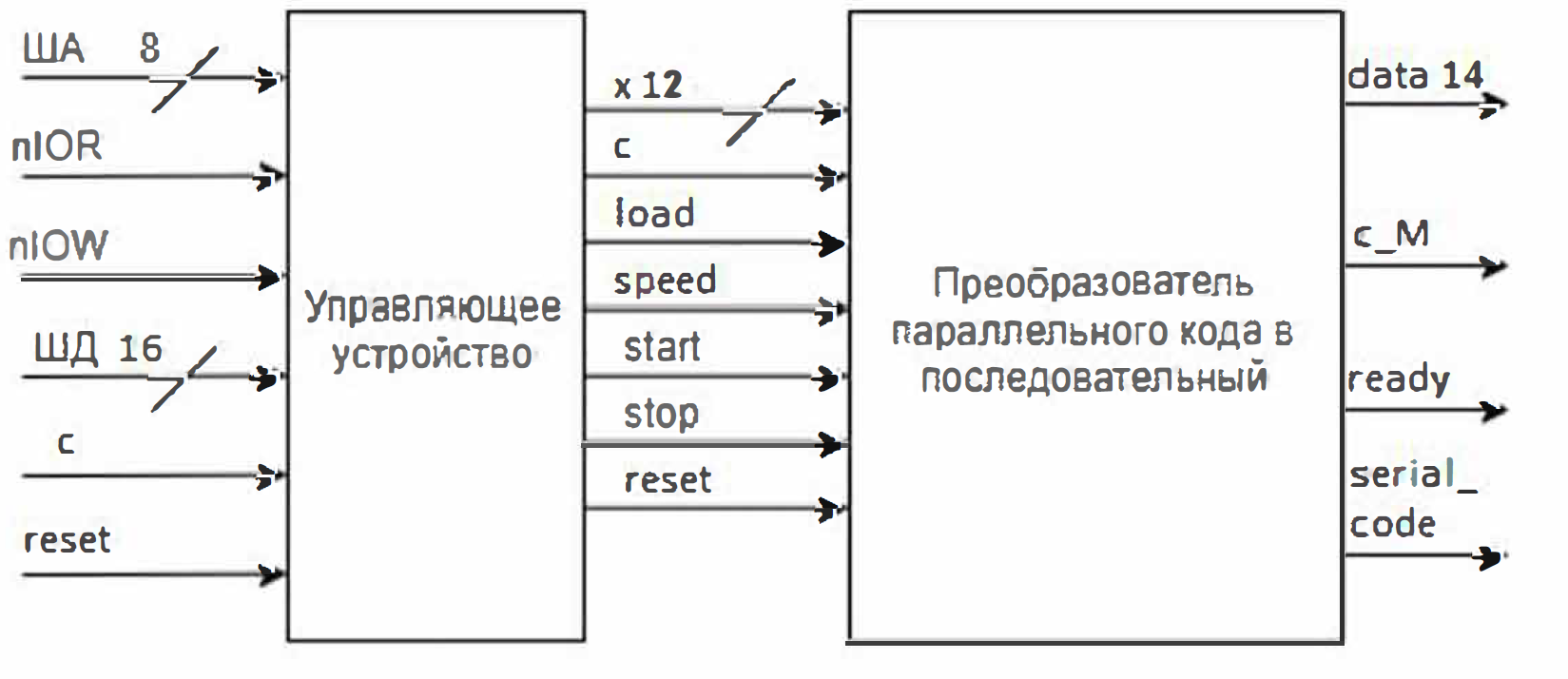


Рисунок 16 – Структурная схема интерфейса сопряжения узла с ПС

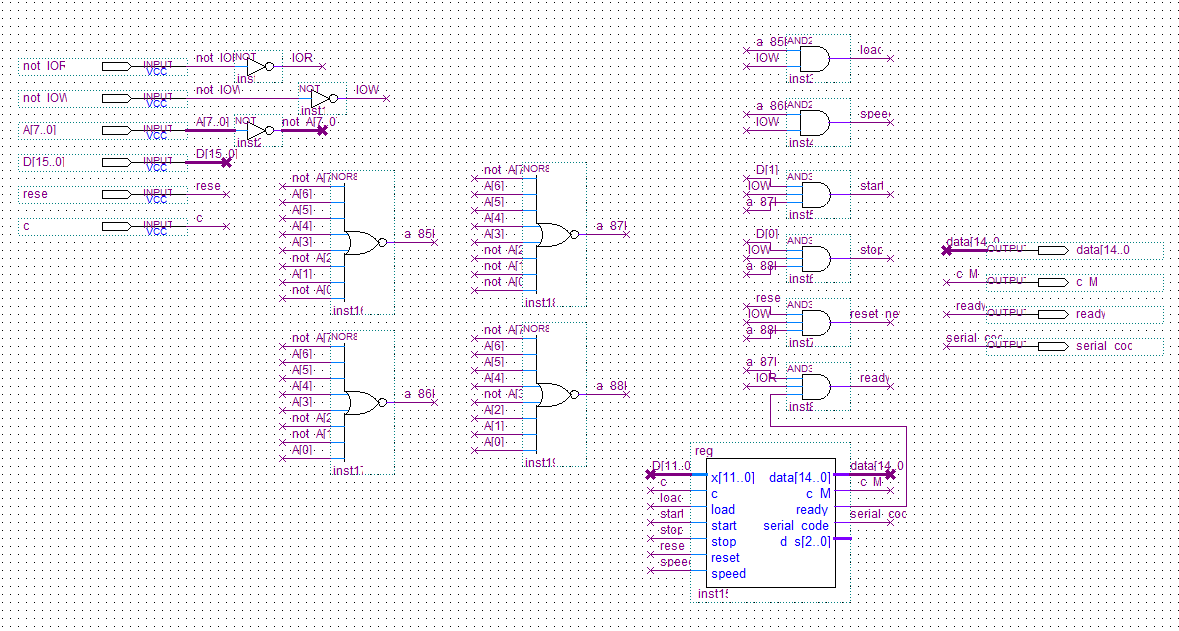


Рисунок 17 – Схема интерфейса сопряжения узла с ПС

# Подробное описание функционирования узла с использованием необходимых временных диаграмм

На примере временной диаграммы для варианта реализации узла на основе мультиплексора приведем подробное описание функционирования узла.

Сигналы «x» передаются в качестве данных для параллельной записи, сигнал «load» в том же такте, что и сигналы «x», передаётся для самой параллельной записи. Сигнал «speed» передается в следующем за сигналом «load» такте, чтобы сигналы «x[0]» и «x[1]» могли корректно указать режим работы.

В том же такте, что и сигнал «speed» подается единичный сигнал «start» для начала преобразования параллельного кода в последовательный и для его вывода в последующих тактах сигналом «serial\_code», который выводится с помощью синхросигнала «c\_M». «c\_M» («C message») имеет частоту, указанную пользователем. Параллельно с сообщением выводятся сигналы «data», соответствующий сигналам «x», константам и биту четности. По завершении работы подается единичный сигнал «ready», который сообщает о готовности узла к загрузке новых данных. Как видно из временных диаграмм, вывод сообщения «serial\_code» соответствует введенным сигналам «x», что говорит о корректном функционировании узла.

# Принципиальная электрическая схема типового элемента замены и перечень элементов

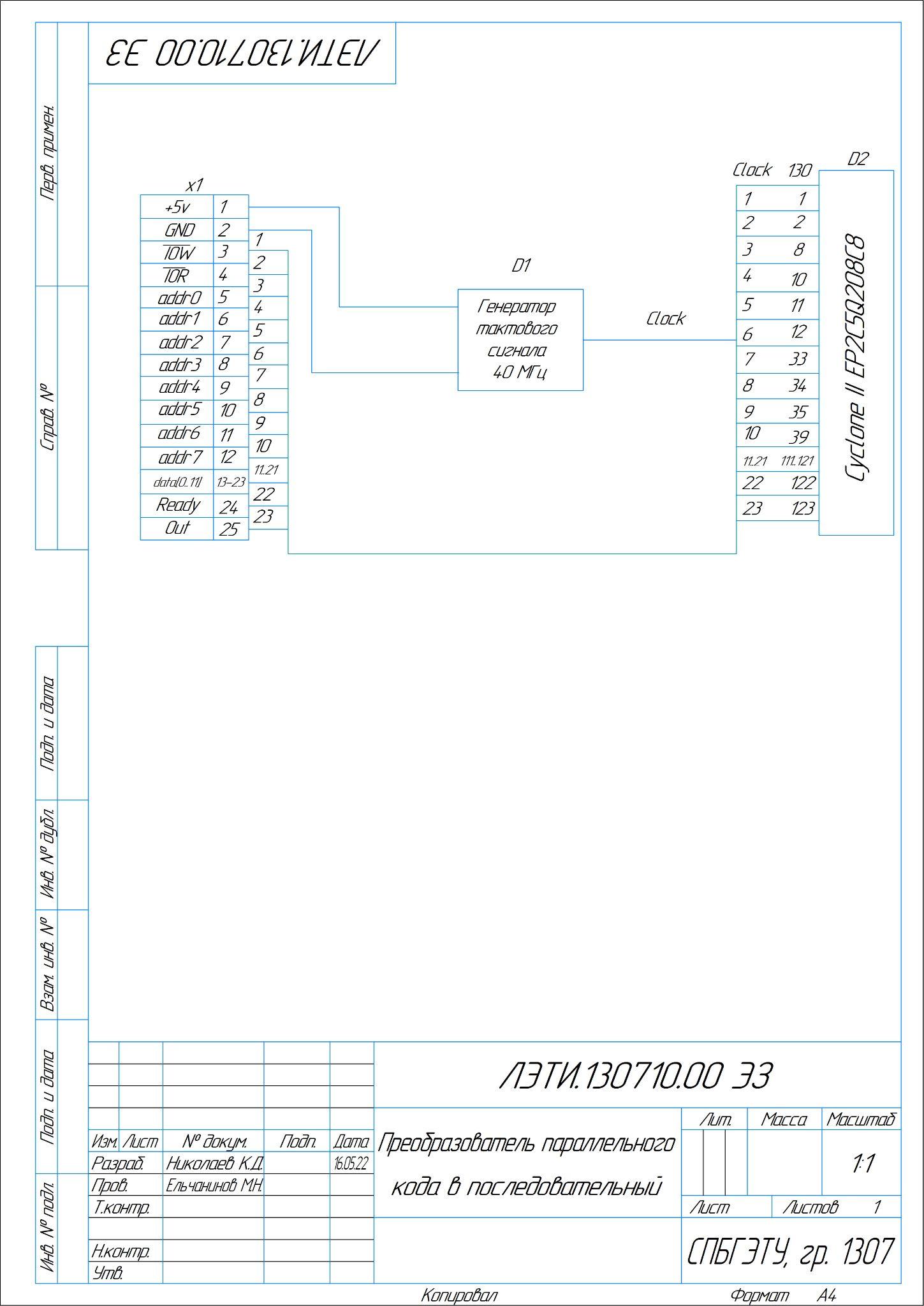


Рисунок 18 – Принципиальная схема типового элемента замены

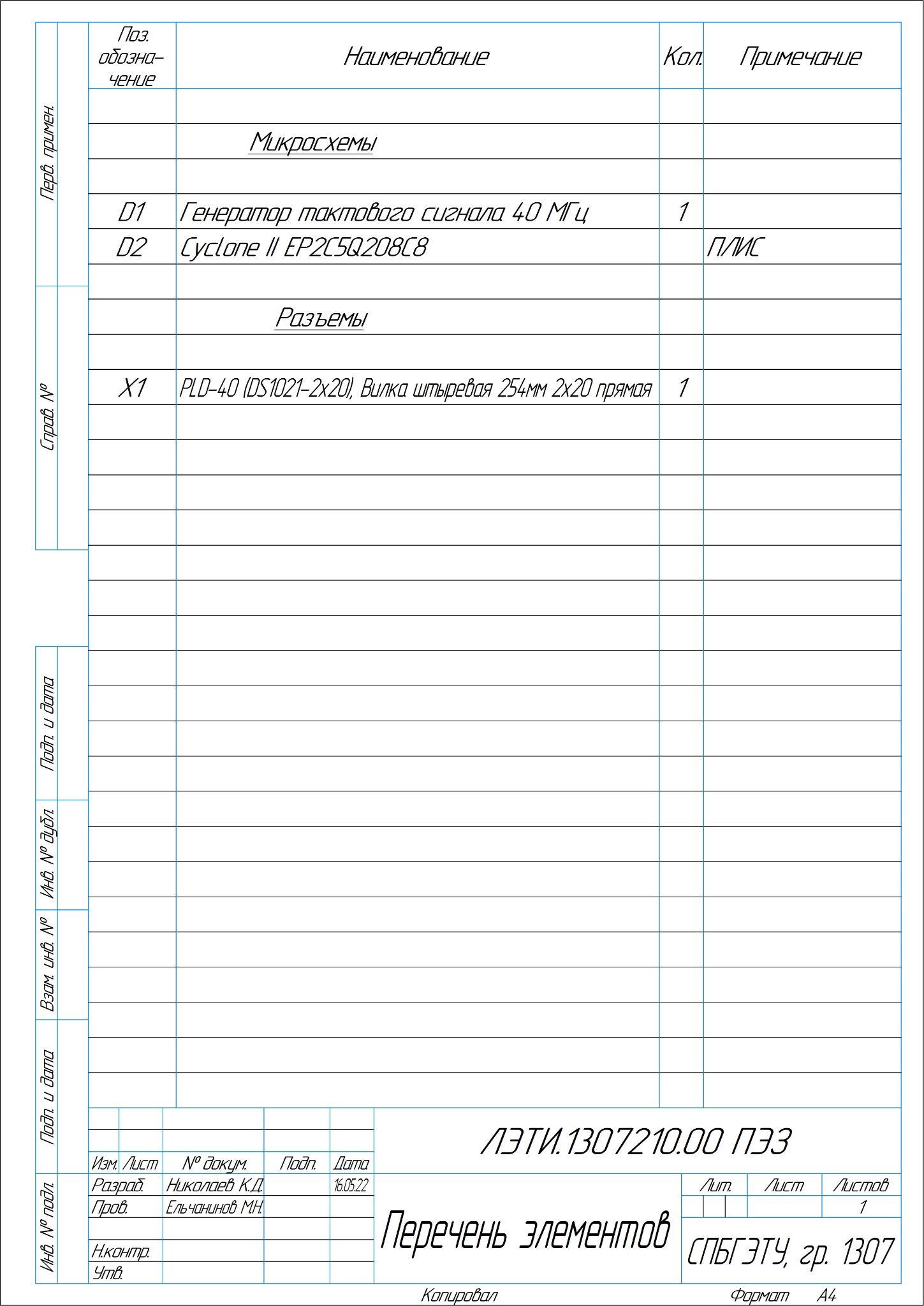


Рисунок 19 – Перечень элементов

# Краткое заключение по проделанной работе

Задание: Разработать узел преобразующий параллельный код в последовательный с добавлением к нему старт-бита, стоп-бита и бита паритета. Предусмотреть возможность передачи последовательного кода со скоростями, указанными в вариантах задания. Входной параллельный код, код выбора скорости передачи и сигнал пуска передаются из управляющего устройства (процессора). Критерий выбора варианта реализации схемы — минимум аппаратных затрат.

Вывод: В ходе курсовой работы были разработаны и рассмотрены два варианта реализации схемы для узла, переводящего параллельный 12-битный код в последовательный и выводящего его, с добавлением старт-бита, стоп-бита, бита паритета. Также была предусмотрена возможность передачи последовательного кода со скоростями, указанными в варианте задания. Входной параллельный код, код выбора скорости передачи и сигнал пуска передаются из управляющего устройства (процессора). Критерий выбора варианта реализации схемы — минимум аппаратных затрат (на основе мультиплексора).

# Список использованных источников

1. Онлайн-курс «Элементная база цифровых систем» в LMS Moodle [сайт]. URL: https://vec.etu.ru/moodle/course/view.php?id=16469.

2. Бондаренко П. Н., Буренева О. И., Головина Л. К. / Узлы и устройства средств вычислительной техники: учеб.-метод. пособие. СПб.: Изд-во СПбГЭТУ «ЛЭТИ», 2017. 64 с.

3. Угрюмов Е. П. / Цифровая схемотехника: учеб. пособие для вузов. – 3-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2010. – 816 с.: ил.